

PAT-NO: JP401279624A
DOCUMENT-IDENTIFIER: JP 01279624 A
TITLE: WAVEFORM SHAPING CIRCUIT
PUBN-DATE: November 9, 1989

INVENTOR-INFORMATION:
NAME
OOYA, TAKASHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP63109688
APPL-DATE: May 2, 1988

INT-CL (IPC): H03K005/13

US-CL-CURRENT: 327/166

ABSTRACT:

PURPOSE: To simplify the numerical relation of a circuit constant which sets the time change of an output potential with respect to an input potential, to widen a setting range and to improve setting precision by shaping a waveform through the use of the linear time change of a voltage on grounds that a constant current is caused to flow in a capacitor.

CONSTITUTION: First and second transistors 31 and 32 are on/off operated in accordance with the sizes of first and second input potentials V_{i1} and V_{i2} , and supply the constant current I of a constant current source 33 to first or second current mirror circuit 41 or 42. Since the first and third circuit

mirror circuits 41 and 43, and the second and third current mirror circuits 42 and 43 cause the current in a forward direction to flow, and charge and discharge the capacitor 44, the potential of one terminal in the capacitor changes linearly. When the potential of the terminal is compared with a reference potential in a comparator 45, the output potential V_{out} whose waveform is shaped can be obtained. Since the potential of one terminal in the capacitor 44 linearly changes, the change quantity of the waveform with time can easily be set, and the setting range can be enlarged, whereby the setting can precisely be executed.

COPYRIGHT: (C)1989, JPO&Japio

⑫ 公開特許公報(A) 平1-279624

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月9日

H 03 K 5/13

7631-5 J

審査請求 未請求 請求項の数 1 (全10頁)

⑭ 発明の名称 波形整形回路

⑮ 特 願 昭63-109688

⑯ 出 願 昭63(1988)5月2日

⑰ 発 明 者 太 矢 隆 士 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑲ 代 理 人 弁理士 柿本 恭成

明 細 書

1. 発明の名称

波形整形回路

2. 特許請求の範囲

一定電流を出力する定電流源と、

第1と第2の入力電位を比較してその大小に応じて前記一定電流の流路を切換える第1および第2のトランジスタと、

前記第1および第2のトランジスタで切換えられた電流を一定の比率でそれぞれ伝達する第1および第2のカレントミラー回路と、

前記第1および第2のカレントミラー回路の出力電流を一定の比率で双方向の第1と第2の電流に変換する第3のカレントミラー回路と、

前記第1および第2の電流を充放電するコンデンサと、

前記コンデンサの端子の電位を基準電位と比較してそれに応じた電位を出力するコンパレータとを、

備えたことを特徴とする波形整形回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、パルス信号を扱う装置等において、信号の時間的变化、即ち波形を所望の形に変化させる波形整形回路に関するものである。

(従来の技術)

従来、このような分野の技術としては、「リニア オペアンプ データブック」1版(昭55-7-15)(株)誠文堂新光社P. 6-13に記載されるものがあった。以下、その構成を図を用いて説明する。

第2図は従来の波形整形回路の一構成例を示す回路図である。

この波形整形回路は、入力電位 V_i を入力する入力端子1、出力電位 V_o を出力する出力端子2、コンパレータ3、4、抵抗5~12、及びコンデンサ13で構成されている。入力端子1はコンパレータ3の(+)側入力端子に接続され、そのコンパレータ3の(-)側入力端子が基準電位 V_1 を保持するノードN1に接続されている。ノード

N1は分圧用抵抗5を介して電源電位Vccに、さらに分圧用抵抗6を介して接地電位にそれぞれ接続されている。コンパレータ3は入力電位Viと基準電位V1とを比較し、Vi>V1の時に出力端子が高レベル（以下、“H”という）、Vi<V1の時に出力端子が低レベル（以下、“L”という）となる機能を有しており、その出力端子が電位V2のノードN2に接続されている。ノードN2は抵抗7を介して電源電位Vccに、さらにコンデンサ13を介して接地電位にそれぞれ接続されると共に、抵抗8を介してコンパレータ4の(+)側入力端子に接続されている。コンパレータ4の(-)側入力端子は、基準電位V3を保持するノードN3に接続され、そのノードN3が分圧用抵抗9を介して電源電位Vccに接続されると共に、分圧用抵抗10を介して接地電位に接続されている。コンパレータ4は電位V2と基準電位V3とを比較し、V2>V3の時に出力端子が“H”(=Vcc)、V2<V3の時に出力端子が“L”(=接地電位)となる機能を有してお

り、その出力端子が出力端子2に接続され、さらに抵抗12を介して電源電位Vccに接続されると共に抵抗11を介して(+)側入力端子に帰還接続されている。抵抗8、11、12によりコンパレータ4の出力から入力に正帰還をかけており、そのコンパレータ4の出力がV2の電位変化に対してヒステリシスを持ち、回路の安定化を図る構成になっている。

次に、動作を説明する。

入力電位Viが基準電位V1より低いと、コンパレータ3の出力電位V2が“L”(=接地電位)となるので、コンパレータ4の出力電位Voは“L”(=接地電位)となる。ここで、入力にパルス信号が加わり、時刻T0に入力端子1の入力電位Viが基準電位V1より高くなると、抵抗7を通して電流がコンデンサ13に流れ、コンパレータ3の出力電位V2は徐々に上昇し、ある時間の後に基準電位V3より高くなり、コンパレータ4の出力電位Voがほぼ電源電位Vccとなる。このようにして、入力に加わったパルス信号の波

— 3 —

形に対し、時間的変化を与えた出力波形を得ることができる。

時間的変化量を設定するために、電位V2の時間的変化を計算する。ある時刻T1におけるV2の電位は次式で与えられる。

$$V2 = Vcc \cdot \left(1 - \exp \frac{-(T1 - T0)}{C13 \cdot R7} \right) \quad \dots (1)$$

但し、C13：コンデンサ13の容量値
R7：抵抗7の抵抗値

そしてV2=V3となる時刻T1に出力電位Voが変化する。

（発明が解決しようとする課題）

しかしながら、上記構成の回路では、波形の時間的変化量を設定する場合、前記(1)式に従って電源電位Vcc、コンデンサ13、抵抗7及び

— 4 —

基準電位V3の値を設定すればよいが、前記(1)式には指数関数が含まれているため、その(1)式の特性が曲線になり、波形の時間的変化量を広い範囲にわたって精度良く設定することが困難であるという課題があった。

本発明は前記従来技術が持っていた課題として、広範囲にわたって精度良く波形の時間的変化量を設定することが困難であるという点について解決した波形整形回路を提供するものである。

（課題を解決するための手段）

本発明は前記課題を解決するために、電気信号の波形を変化させる波形整形回路において、一定電流を出力する定電流源と、第1と第2の入力電位を比較してその大小に応じて前記一定電流の流路を切換える第1および第2のトランジスタと、前記第1および第2のトランジスタで切換えられた電流を一定の比率でそれぞれ伝達する第1および第2のカレントミラー回路と、前記第1および第2のカレントミラー回路の出力電流を一定の比率で双方向の第1と第2の電流に変換する第3の

— 5 —

—136—

— 6 —

カレントミラー回路と、前記第1および第2の電流を充放電するコンデンサと、前記コンデンサの端子の電位を基準電位と比較してそれに応じた電位を出力するコンパレータとを、設けたものである。

(作 用)

本発明によれば、以上のように波形整形回路を構成したので、第1、第2のトランジスタは第1と第2の入力電位の大小に応じてオン、オフ動作して一定電流を第1または第2のカレントミラー回路に供給する。第1および第3のカレントミラー回路と、第2および第3のカレントミラー回路とは、双方向の電流を流し、コンデンサを充電及び放電させるので、そのコンデンサの一方の端子電位が直線的に変化する。その端子電位と基準電位とをコンパレータで比較することにより、波形整形された出力電位が得られる。コンデンサの一方の端子電位は直線的に変化する構成のため、波形の時間的変化量の設定の容易化、設定範囲の拡大化、及び設定の高精度化が図れる。従って前記

課題を解決できるのである。

(実施例)

第1図は本発明の実施例を示す波形整形回路の構成図である。

この波形整形回路は、第1、第2の入力電位 V_{i1} 、 V_{i2} をそれぞれ入力する第1、第2の入力端子21、22、出力電位 V_o を出力する出力端子23、第1、第2のNPN形トランジスタ31、32、一定電流 I を出力する定電流源33、第1、第2、第3のカレントミラー回路41、42、43、コンデンサ44、及びコンパレータ45を備えている。

第1、第2の入力端子21、22は、第1、第2のNPN形トランジスタ31、32のベースにそれぞれ接続され、そのトランジスタ31、32のエミッタが共通接続され定電流源33を介して第2の電源電位 V_{ee} ($<$ 第1の電源電位 V_{cc}) に接続されている。第1のトランジスタ31のコレクタが第1のカレントミラー回路41の入力端子41aに、第2のトランジスタ32のコレクタ

— 7 —

が第2のカレントミラー回路42の入力端子42aにそれぞれ接続され、さらにそのカレントミラー回路41、42の共通端子41b、42bが第1の電源電位 V_{cc} に共通接続されている。第1のカレントミラー回路41の出力端子41cは第3のカレントミラー回路43の入力端子43aに、第2のカレントミラー回路42の出力端子42cは電位 V_{i1} のノードN11を介して第3のカレントミラー回路43の出力端子43cにそれぞれ接続され、そのカレントミラー回路43の出力端子43bが第2の電源電位 V_{ee} に接続されている。第1、第2、第3のカレントミラー回路41、42、43は、入力電流に対応した出力電流(例えば、入力電流:出力電流=1:1)を出力する機能を有している。

ノードN11は、コンデンサ44を介して接地電位に接続されると共に、コンパレータ45の(−)側入力端子に接続され、さらにそのコンパレータ45の(+)側入力端子が基準電位に、出力端子が出力端子23にそれぞれ接続されている。

— 8 —

このコンパレータ45は、(−)側入力端子電位と(+)側入力端子電位を比較し、(−)側入力端子電位 $<$ (+)側入力端子電位の時に出力端子が“H” ($\equiv V_{cc}$)、(−)側入力端子電位 $>$ (+)側入力端子電位の時に出力端子が“L” ($\equiv V_{ee}$) となる機能を有している。

次に、動作を説明する。

トランジスタ31と32は利得が十分大きい差動増幅回路を形成しており、入力端子21、22に供給される2つの入力電位 V_{i1} と V_{i2} を比較する。

入力電位 V_{i1} が V_{i2} より高い場合、トランジスタQ1がオン、トランジスタQ2がオフとなるので、定電流源33の電流 I はすべてカレントミラー回路41の入力端子41aに流れ、カレントミラー回路42の入力端子42aには電流が流れない。そのため、カレントミラー回路41の出力端子41cからは電流 I が流出してカレントミラー回路43の入力端子43aに流れ込み、そのカレントミラー回路43の出力端子43cが電流

— 9 —

—137—

— 10 —

Iを引込むので、コンデンサ44には接地電位からノードN11を通り出力端子43cに向かって電流Iが流れる。電流源33の電流をIアンペア、コンデンサ44の静電容量をCファラドとすると、コンパレータ45の(－)側入力端子に接続されたノードN11の電位は、毎秒 I/C (ボルト)の割合で降下する。

入力電位 V_{i1} が V_{i2} より低い場合、トランジスタ31がオフ、トランジスタ32がオンとなるので、定電流源33の電流Iはすべてカレントミラー回路42の入力端子42aに流れ、カレントミラー回路41の入力端子41aには電流が流れない。そのため、カレントミラー回路41の出力端子41cには電流が流れず、カレントミラー回路42の出力端子42cからは電流Iが流出するので、その電流IがノードN11及びコンデンサ44を通して接地電位側へ流れる。すると、コンパレータ45の(－)側入力端子に接続されたノードN11の電位 V_{11} は、毎秒 I/C (ボルト)の割合で上昇する。

— 11 —

な設定が行えるという利点を有している。特に、モノリシック集積回路として実現する場合に有利である。

第3図は第1図の波形整形回路の具体的な回路構成例を示す回路図、及び第4図は第3図中のコンパレータの回路図であり、第1図中の要素と共通の要素には同一の符号が付されている。

第3図に示すように、この波形整形回路の第2の入力端子22は、抵抗 R_1 ($=10K\Omega$)及び R_2 ($=10K\Omega$)により電源電位 V_{cc} ($=5V$)を分圧して生成した基準電位($=2.5V$)に固定されている。第1、第2のNPN形トランジスタ31、32のエミッタ側に接続された定電流源33は、PNP形トランジスタQ1、Q2、NPN形トランジスタQ3、Q4及び抵抗 R_3 ($=30K\Omega$)で構成されている。第1のNPN形トランジスタ31のコレクタ側に接続された第1のカレントミラー回路41は、ベースが共通接続されたPNP形トランジスタQ5、Q6、Q7で構成され、さらに第2のNPN形トランジスタ

このようにして第1と第2の入力電位 V_{i1} 、 V_{i2} の電位関係によってコンパレータ45の(－)側入力端子の電位を、電流源33とコンデンサ44で設定された一定の時間的変化率で直線的に上昇させたり、下降させたりすることができる。コンパレータ45は電位 V_{11} と基準電位 V_{12} とを比較し、 $V_{11} < V_{12}$ の時は“H”、 $V_{11} > V_{12}$ の時は“L”の出力電位、つまりパルス信号を出力端子23へ出力する。従って第1と第2の入力端子21、22のいずれか一方をある基準電位に固定し、他方にパルス信号を入力すれば、出力端子23には時間的に波形が変化したパルス信号が得られる。

本実施例では、コンデンサ44に定電流Iを流すことによる電圧の直線的時間変化を用いて波形整形を行っているため、入力パルス信号に対する出力信号の時間的変化を設定する回路定数(V_{cc} 、 V_{ee} 、C)の数値的關係が単純であり、複雑な設定条件に対しても前記の時間的変化の設定が容易で、しかも設定範囲が広く、高精度

— 12 —

32のコレクタ側に接続された第2のカレントミラー回路42は、ベースが共通接続されたPNP形トランジスタQ8、Q9、Q10で構成されている。

第1、第2のカレントミラー回路41、42の出力端子41c、42cに接続された第3のカレントミラー回路43は、ベースが共通接続されたNPN形トランジスタQ11、Q12で構成され、そのトランジスタQ11、Q12のエミッタ側共通端子43bが接地電位に接続されている。第3のカレントミラー回路43におけるNPN形トランジスタQ12のコレクタ側出力端子43cは、ノードN11を介してコンパレータ45(例えば、フェアチャイルド社製 $\mu A139$)の(－)側入力端子に接続されている。コンパレータ45の(+)側入力端子は、抵抗 R_4 ($=20K\Omega$)及び R_5 ($=40K\Omega$)により電源電圧 V_{cc} を分圧して生成した基準電位 V_{12} に接続され、さらにそのコンパレータ45の(+)側入力端子と出力端子間に帰還用抵抗 R_6 ($=20K\Omega$)が接続

— 13 —

—138—

— 14 —

されると共に、その出力端子がプルアップ用抵抗 R_7 ($=1\text{K}\Omega$) を介して電源電位 V_{cc} に接続されている。帰還用抵抗 R_6 は、コンパレータ 45 の出力から入力に正帰還をかけてそのコンパレータ 45 の動作にヒステリシスを持たせる機能を有している。

この回路では、安定化回路 50 が付加されている。安定化回路 50 は、NPN 形トランジスタ Q_{13} 、 Q_{14} 、 Q_{15} 、 Q_{16} 、抵抗 R_8 ($=30\text{K}\Omega$)、及び抵抗 R_9 ($=30\text{K}\Omega$) で構成されている。トランジスタ Q_{13} と Q_{14} は、ベースが共通接続され、その各コレクタがトランジスタ Q_6 、 Q_9 の各コレクタにそれぞれ接続され、さらにそのトランジスタ Q_{13} 、 Q_{14} の各エミッタが接地電位に接続されている。トランジスタ Q_{14} のコレクタは、トランジスタ Q_{15} 及び抵抗 R_8 を介してトランジスタ Q_{16} のベースに接続され、さらにそのトランジスタ Q_{16} のコレクタが抵抗 R_9 を介してトランジスタ 32 のベースに接続されると共に、そのトランジスタ Q_{16} の

エミッタが接地電位に接続されている。この安定化回路 50 は、入力端子 21 に入力される信号によってトランジスタ 31、32 がオン、オフする時に、トランジスタ 32 のベース電圧を変動させて回路動作にヒステリシスを持たせ、回路動作の安定化を図る機能を有している。

NPN 形トランジスタ 31、32、 Q_3 、 Q_4 、 Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{14} 、 Q_{15} 、 Q_{16} は、例えば株式会社東芝製型番 2SC1815 で、PNP 形トランジスタ Q_1 、 Q_2 、 Q_5 、 Q_6 、 Q_7 、 Q_8 、 Q_9 、 Q_{10} は、例えば株式会社東芝製型番 2SA1015 で、それぞれ構成されている。

コンパレータ 45 は、例えば第 4 図に示すように、(+) 側入力端子 61、(-) 側入力端子 62、出力端子 63、PNP トランジスタ Q_{21} ~ Q_{24} 、NPN トランジスタ Q_{25} ~ Q_{28} 、ダイオード D_1 ~ D_4 、及び定電流源 I_{11} ~ I_{14} で構成されている。(+) 側入力端子 61 の電位と (-) 側入力端子 62 の電位とは、入力

— 15 —

用 PNP トランジスタ Q_{22} 、 Q_{24} を通して、PNP トランジスタ Q_{22} 、 Q_{23} 及び NPN トランジスタ Q_{25} 、 Q_{26} で構成される差動増幅回路で比較され、その比較結果がダーリントン接続の出力用 NPN トランジスタ Q_{27} 、 Q_{28} を介して出力端子 63 から出力される。入力端子 61 電位 > 入力端子 62 電位の時には出力用 NPN トランジスタ 28 がオフして出力端子 63 が “H” となり、入力端子 61 電位 < 入力端子 62 電位の時には出力用 NPN トランジスタ Q_{28} がオンして出力端子 63 が “L” となる。

第 5 図は第 3 図の電圧波形図であり、この図を参照しつつ第 3 図の動作を説明する。

例えば、第 5 図に示すような方形波状の入力電位 V_{i1} を入力端子 21 に供給した場合について説明する。

時刻 0.15 ミリ秒に上昇し始めた入力電位 V_{i1} は、時刻 0.2 ミリ秒に電位 V_{i2} より高い電位により、トランジスタ 31 がオン、32 がオフとなり、ノード N11 の電位 V_{11} がほぼ 5

— 16 —

ボルトまで充電されていたコンデンサ 44 は一定電流 I で放電し、その電位 V_{11} が下降を始める。一定電流 I は電源電位 V_{cc} と抵抗 R_3 トランジスタ Q_1 、 Q_4 のベース・エミッタ間電圧で設定され、この図の定数では I は 1.23 マイクロアンペアであるので、電位 V_{11} が毎秒 1.2300 ボルトの割合で下降する。時刻 0.4 ミリ秒に電位 V_{11} が基準電位 V_{12} より低くなり、コンパレータ 45 の 2 つの入力端子の電位関係が反転して、ほぼ 0 ボルトであった出力電位 V_o はほぼ 5 ボルトに変化する。これで入力電位 V_{i1} の変化に対し、0.2 ミリ秒の時間的変化が与えられたことになる。

次に入力電位 V_{i1} は下降を始め、時刻 0.9 ミリ秒で電位 V_{i2} より低い電位になり、トランジスタ 31 がオフ、32 がオンとなり、ノード N11 の電位 V_{11} がほぼ 0 ボルトまで放電されたコンデンサ 44 は一定電流 I で充電され、その電位 V_{11} が上昇を始める。時刻 1.2 ミリ秒で電位 V_{11} は基準電位 V_{12} より高くなり、コン

— 17 —

— 139 —

— 18 —

パレータ45の2つの入力端子の電位関係が反転して、ほぼ5ボルトであった出力電位 V_o はほぼ0ボルトに変化する。これを入力電位 V_{i1} の変化に対し、0.3ミリ秒の時間的变化が与えられることになり、第1図と同図の効果が得られる。

入力電位 V_{i1} と出力電位 V_o の時間的变化の設定は、コンデンサ44の静電容量、定電流源33の電流 I を定める抵抗 R_3 及び電源電位 V_{cc} 、基準電位 V_{i2} 、 V_{i12} を定める抵抗 R_9 、 R_1 、 R_2 と R_4 、 R_5 、 R_7 によって行なわれるほか、カレントミラー回路41、42、43の入出力電流の比率を変化させることによって行われる。

第3図及び第4図の回路は、個別部品により構成してもよいし、集積回路として構成することもできる。

なお、本発明は図示の実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 第3図及び第4図に示した抵抗値、静電

容量、電圧等の定数は、一例を示したもので、他の定数に変更してもよい。

(b) 第1、第2のNPN形トランジスタ31、32は、電流経路の切換え機能を有すればよく、従ってPNP形トランジスタやMOSトランジスタ等の他のトランジスタで構成してもよい。

(c) 第1図において、コンパレータ45等を複数個設けて出力端子23の数を増やす等の変形も可能である。

(発明の効果)

以上詳細に説明したように、本発明によれば、コンデンサに定電流を流すことによる電圧の直線的時間変化を用いて波形整形を行っているので、入力電位に対する出力電位の時間的变化を設定する回路定数の数値的關係が単純になり、それによって波形の時間的变化量の設定が容易で、かつ設定範囲が広く、しかも設定精度が向上するという効果が期待できる。

4. 図面の簡単な説明

第1図は本発明の実施例を示す波形整形回路の

— 19 —

構成図、第2図は従来の波形整形回路の構成図、第3図は第1図の構成例を示す回路図、第4図は第3図中のコンパレータの回路図、第5図は第3図の電圧波形図である。

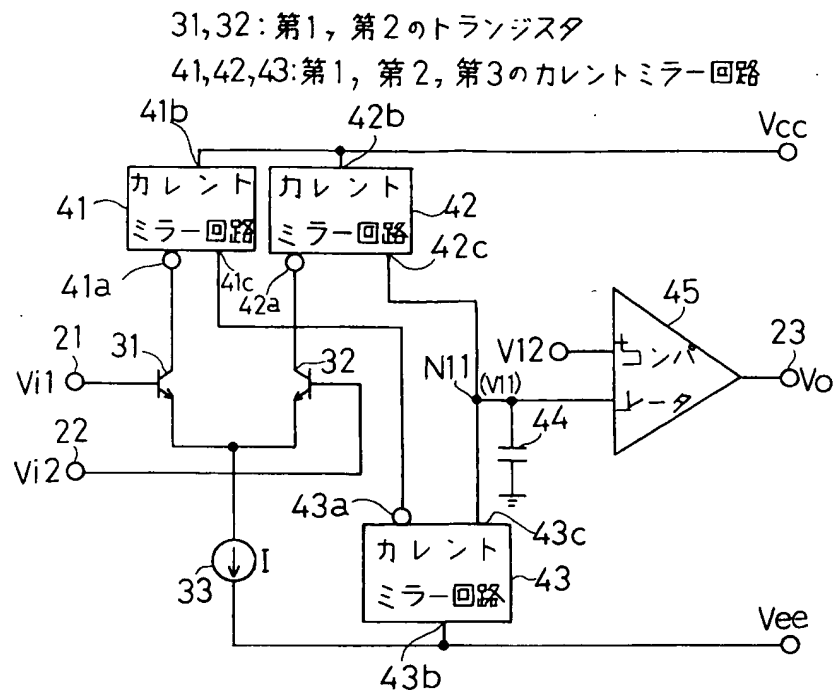
21、22……第1、第2の入力端子、31、32……第1、第2のトランジスタ、33……定電流源、41、42、43……第1、第2、第3のカレントミラー回路、44……コンデンサ、45……コンパレータ。

出願人代理人 柿 本 恭 成

— 20 —

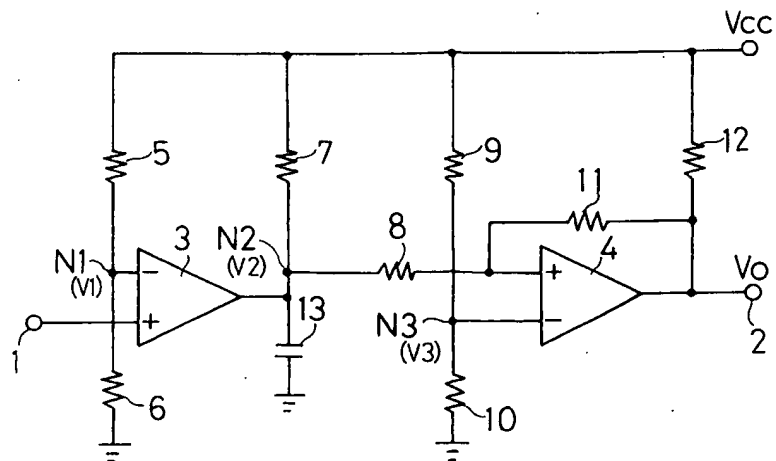
— 21 —

—140—



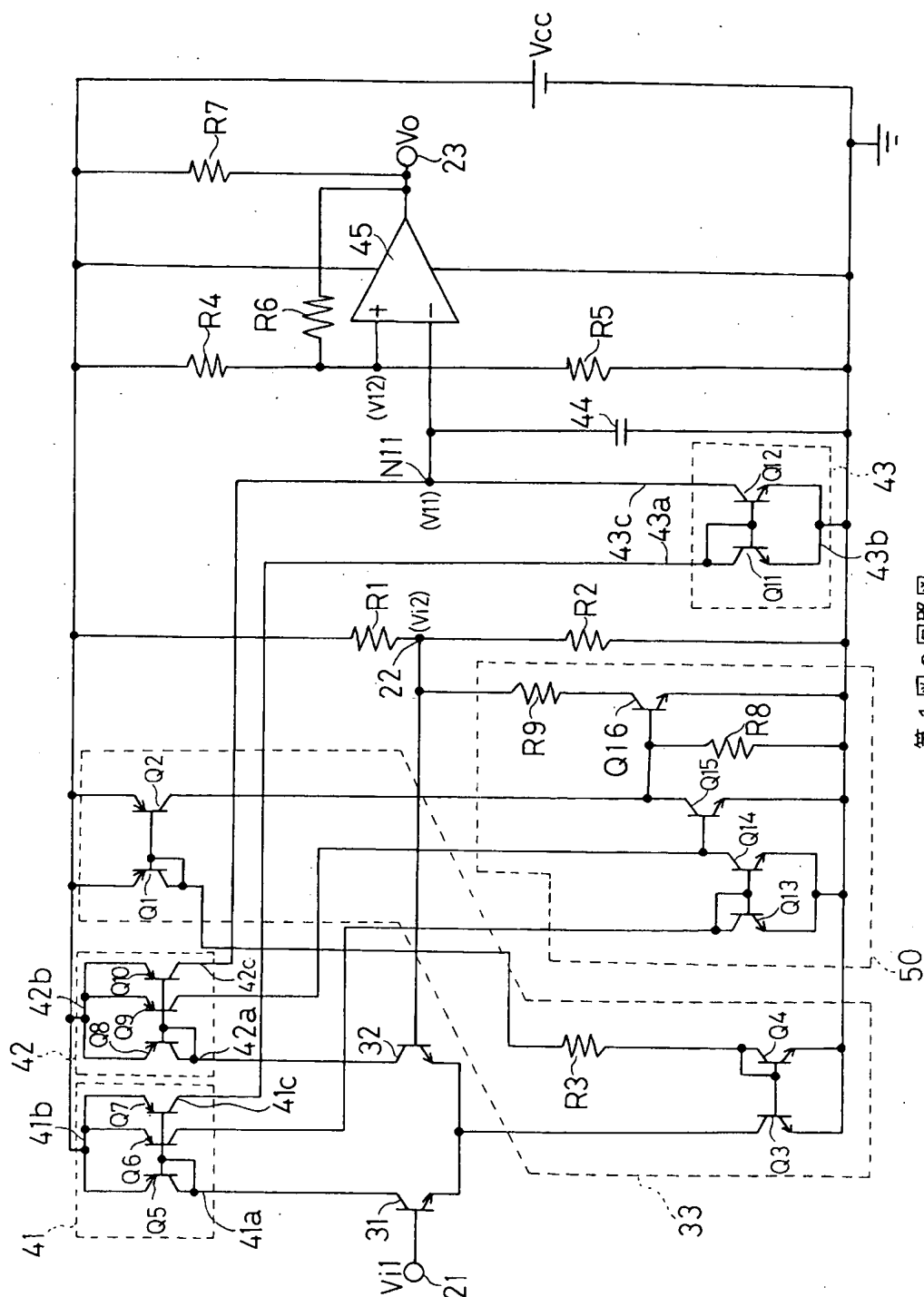
本発明の波形整形回路

第 1 図



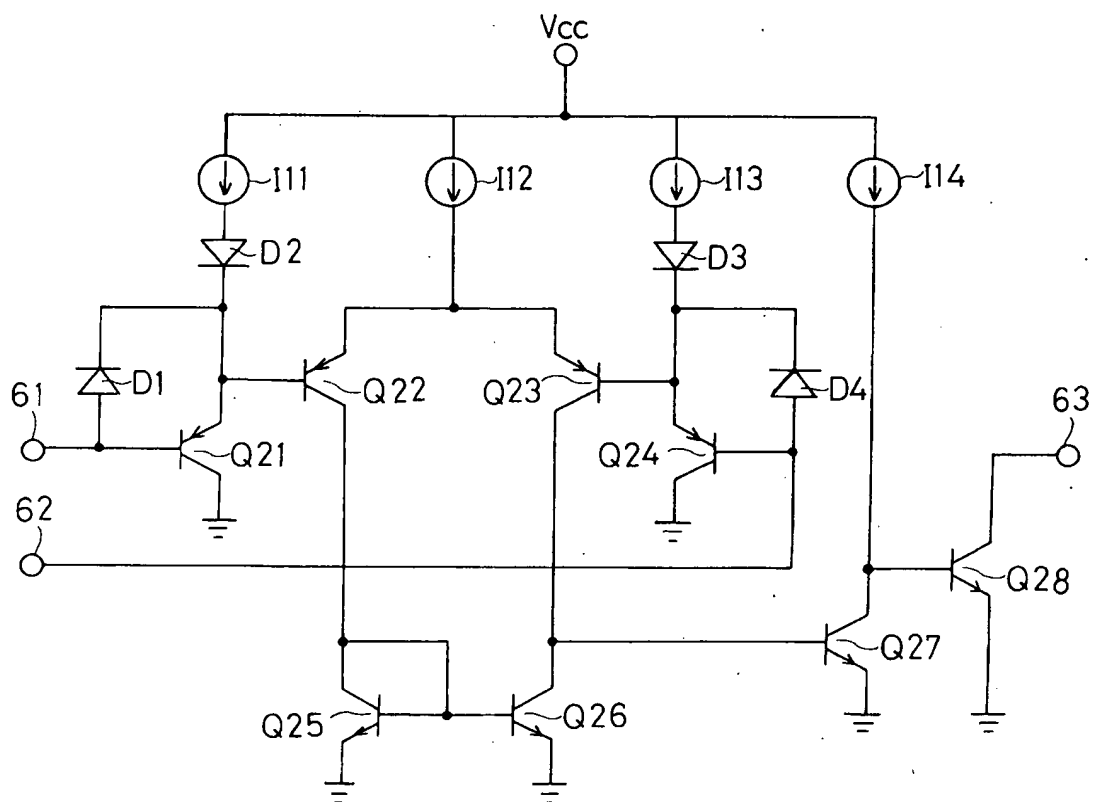
従来の波形整形回路

第 2 図



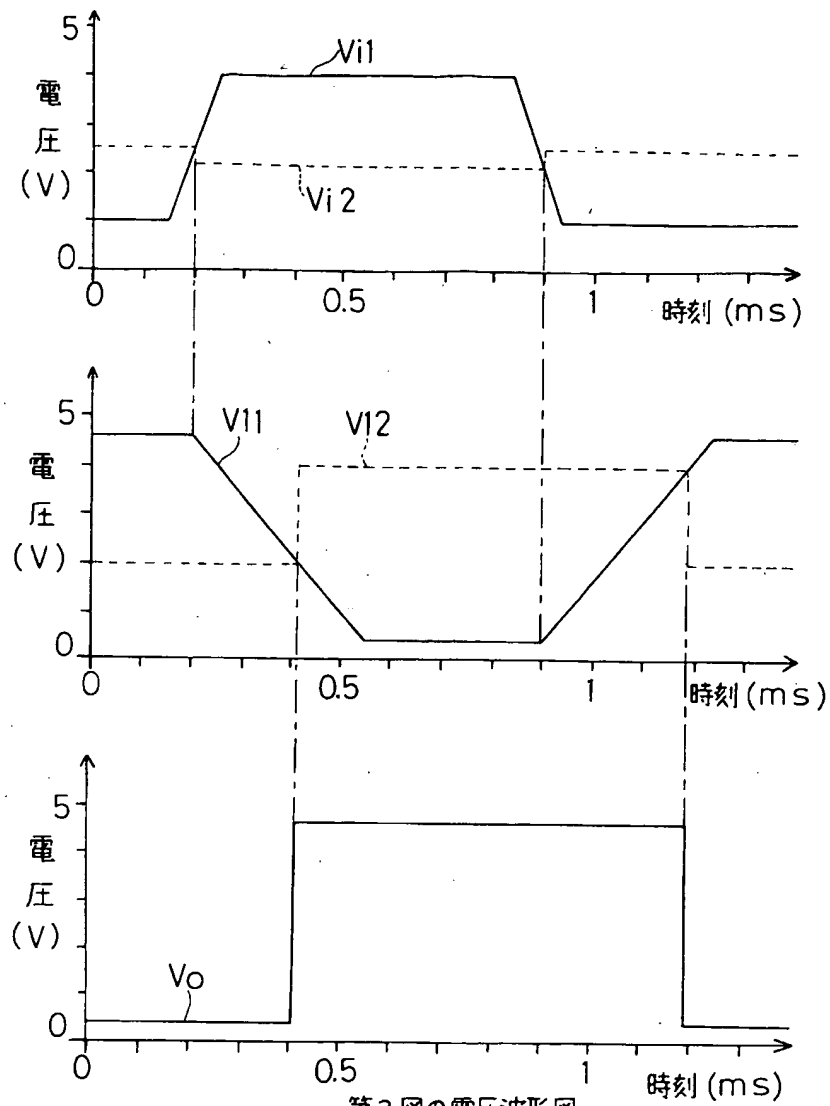
第1図の回路図

第3図



第3図中のコンパレータの回路図

第4図



第3図の電圧波形図

第5図